

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256383

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 21/82

G06F 17/50

G06F 15/78

H01L 27/04

H01L 21/822

(21)Application number : 09-057903

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.03.1997

(72)Inventor : SEKINE MASATOSHI

OWAKI YUKITO

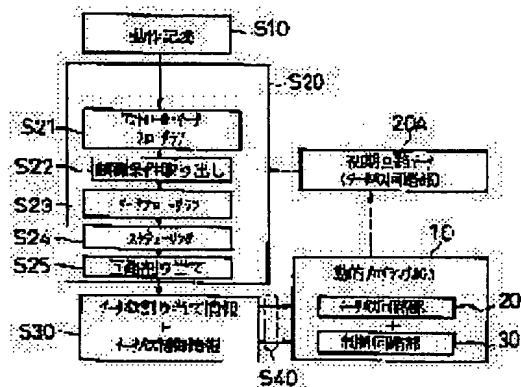
FUJII HIROSHIGE

(54) SEMICONDUCTOR DEVICE AND CIRCUIT CONSTITUTION METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit constitution method for a semiconductor device of high performance in which a hardware is changed for each operation specification in optimum manner.

SOLUTION: Using a control data flow graph S21 prepared from an operational describe, a data path circuit part 20A, corresponding to an initial circuit in higher order composition where a logical circuit is composed with the initial circuit as a nucleus, and a control circuit part 30 for controlling an operation of the data path circuit part 20A prepare a semiconductor device constituted with a reconfigurable circuit which can vary a circuit constitution. Based on circuit data as a result of the higher order composition, data path wire connection information as wire connection information of the data path circuit part 20A and control information for controlling the operation of the data path circuit part are generated, and the data path wire connection information and the control information is mapped on the reconfigurable circuit, and the data path circuit part circuit-constituted according to mapping information.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than abandonment
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application] 10.04.2001

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-256383

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl. ⁹	識別記号	F I	
H 0 1 L 21/82		H 0 1 L 21/82	C
G 0 6 F 17/50		G 0 6 F 15/78	5 1 0 G
	5 1 0	15/60	6 5 4 K
H 0 1 L 27/04		H 0 1 L 21/82	W
21/822		27/04	D
審査請求 未請求 請求項の数 6 O L (全 7 頁)			

(21) 出願番号 特願平9-57903

(22) 出願日 平成9年(1997) 3月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 関根 優年

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72) 発明者 大脇 幸人

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72) 発明者 藤井 洋重

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

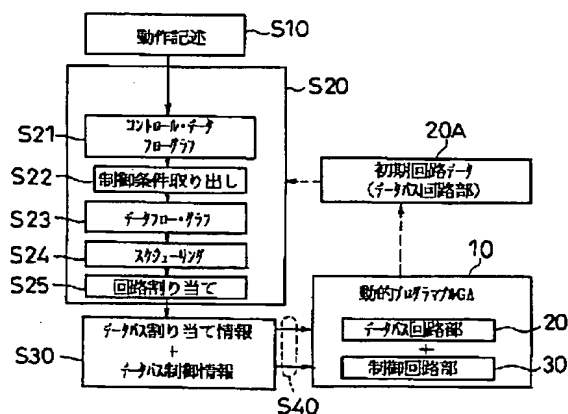
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体装置及びその回路構成方法

(57) 【要約】

【課題】 動作仕様毎にハードウェアを最適に変更することができる高性能な半導体装置の回路構成方法を提供する。

【解決手段】 動作記述から作成されたコントロール・データフローグラフを用いて、初期回路を核にして論理回路を合成する高位合成における前記初期回路に対応するデータバス回路部と、前記データバス回路部の動作を制御するための制御回路部とが、回路構成を変更し得るリコンフィギュラブル回路で構成された半導体装置を用意し、前記高位合成の結果である回路データに基づき、前記データバス回路部の結線情報であるデータバス結線情報と前記データバス回路部の動作を制御するための制御情報とを生成し、前記データバス結線情報及び前記制御情報を前記リコンフィギュラブル回路にマッピングし、該マッピング情報に従って前記データバス回路部及び前記制御回路部を回路構成する。



【特許請求の範囲】

【請求項1】 動作記述から作成されたコントロール・データフローグラフより制御条件毎のデータフローグラフを抽出して、このデータフローグラフを実行ステップに分けるスケジューリングを行い初期回路を核にして論理回路を合成する高位合成における前記初期回路に対応し且つ回路構成を変更し得るリコンフィギュラブル回路からなるデータバス回路部を有する半導体装置であって、

前記高位合成の結果である回路データに基づいて生成されたデータバス結線情報を前記リコンフィギュラブル回路にマッピングし、該データバス結線情報に従って前記データバス回路部を回路構成することを特徴とする半導体装置。

【請求項2】 前記データバス回路部は、前記スケジューリング時に決定されたステージに対応して、レジスタブロックと、バス部と、同時に実行可能な複数の演算器からなる演算器ブロックとで構成したステージブロックであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記ステージブロックの近傍にL字型バスを設け、該L字型バスにより前記ステージブロックのループ回路を構成したことを特徴とする請求項2記載の半導体装置。

【請求項4】 回路構成を変更し得るリコンフィギュラブル回路から構成され前記データバス回路部の動作を制御するための制御回路部を備え、前記高位合成の結果である回路データに基づいて生成された制御情報を前記リコンフィギュラブル回路にマッピングし、該制御情報に従って前記制御回路部を回路構成することを特徴とする請求項1乃至請求項3記載の半導体装置。

【請求項5】 動作記述から作成されたコントロール・データフローグラフより制御条件毎のデータフローグラフを抽出して、このデータフローグラフを実行ステップに分けるスケジューリングを行い、初期回路を核にして論理回路を合成する高位合成における前記初期回路に対応するデータバス回路部と、前記データバス回路部の動作を制御するための制御回路部とが、回路構成を変更し得るリコンフィギュラブル回路で構成された半導体装置を用意し、

前記高位合成の結果である回路データに基づき、前記データバス回路部の結線情報であるデータバス結線情報と前記データバス回路部の動作を制御するための制御情報とを生成し、

前記データバス結線情報及び前記制御情報を前記リコンフィギュラブル回路にマッピングし、該マッピング情報に従って前記データバス回路部及び前記制御回路部を回路構成することを特徴とする半導体装置の回路構成方法。

【請求項6】 前記データバス回路部は、前記スケジュー

ーリング時に決定されたステージに対応して、レジスタブロックと、バス部と、同時に実行可能な複数の演算器からなる演算器ブロックとで構成したステージブロックであることを特徴とする請求項5記載の半導体装置の回路構成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、並列処理等の分野で使用されるシステムLSIなどの半導体装置、及び高位合成技術を利用した半導体装置の回路構成方法に関する。

【0002】

【従来の技術】従来より、論理回路の設計手法として、動作記述から論理回路を合成する高位合成技術が知られている。

【0003】図3は、特開平8-101861号公報に開示された従来の高位合成技術の一例を示す機能ブロック図である。

【0004】図中の100は、ハードウェアの動作仕様が動作記述言語により記述された動作記述グラフであり、制御記述グラフ作成手段200は、この動作記述グラフ100から制御記述グラフを作成する。さらに、単一フロー抽出手段300は、制御記述グラフ作成手段200にて作成された制御記述グラフを制御条件により分類し、部分グラフまたは閉ループを含む単一のフローを抽出する。

【0005】また、初期回路入力手段400は、初期回路を入力する。この初期回路は、実際のハードウェアに対応したものではなく仮想的なものである。当該高位合成技術は、この与えられた初期回路を編集（追加、削除）しながら最終的な論理回路の回路データを生成する。

【0006】その後、スケジューリング手段500は、単一フロー抽出手段300によって抽出された単一フローを実行ステップに分け、ハードウェア割り付け手段600は、スケジューリング手段500によって分けられた実行ステップ毎に、前記初期回路に必要なハード部品を割り付ける。

【0007】そして、ハードウェア共有部分処理手段700は、割り付けられた同一の機能であるハード部品のうち、使用する時間帯が異なるだけのものを纏めあげて共有化し、部品点数を減らしていく。有限状態マシン結合手段800は、ハードウェア割り付け手段600にて割り付けられた単一フローの各ステップを有限状態マシン900に変換し、この変換された有限状態マシンを1つの有限状態マシンに結合する。

【0008】このように、上記の高位合成技術では、巨大な設計空間を網羅的に探索するのではなく、初期回路の近くの局所的な部分領域を探索していくので、膨大となる探索空間を初期回路の近傍に絞ることができ、大規

模な回路に適応可能となるばかりでなく、より人手による設計に近い最適な論理回路を設計することができる。

【0009】上述の高位合成技術で得られたデータバス回路をさらに論理合成技術を用いて論理回路を合成して得られた論理回路の回路データは、FPGA (Field Programmable Gate Array) やゲートアレー等に書き込まれる。なお、このFPGAは、論理回路の真理値表をテーブル化して使用するテーブル・ルック・アップ方式と呼ばれる方法で回路データを表現している。

【0010】こうして、論理回路データを作成した後には、レイアウト (自動配置配線) やマスクパターンの作成を行い、実際のハードウェアを実現させるのが通常である。

【0011】

【発明が解決しようとする課題】しかしながら、上記従来の論理回路の設計手法で実現された回路は、その回路構成を動的に変更することができないため、特定のアプリケーションプログラム毎に対応した動作記述を実行するデータバス回路として、必ずしも最適な回路構成とはならない。そのため、十分な性能を有するLSIを実現することができなかった。

【0012】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、動作仕様毎にハードウェアを最適に変更することができる高性能な半導体装置及びその回路構成方法を提供することである。またその他の目的は、回路規模を小型化することが可能な半導体装置及びその回路構成方法を提供することである。

【0013】

【課題を解決するための手段】上記目的を達成するために、第1の発明である半導体装置の特徴は、動作記述から作成されたコントロール・データフローグラフより制御条件毎のデータフローグラフを抽出して、このデータフローグラフを実行ステップに分けるスケジューリングを行い、初期回路を核にして論理回路を合成する高位合成における前記初期回路に対応し且つ回路構成を変更し得るリコンフィギュラブル回路からなるデータバス回路部を有する半導体装置であって、前記高位合成の結果である回路データに基づいて生成されたデータバス結線情報を前記リコンフィギュラブル回路にマッピングし、該データバス結線情報に従って前記データバス回路部を回路構成することにある。

【0014】この第1の発明によれば、例えば半導体装置の実行時に、高位合成の結果である回路データに基づいて生成された最適なデータバス結線情報を、半導体装置上に形成されたリコンフィギュラブル回路に動的にマッピングすることにより、動作記述に対応する特定のアプリケーションプログラム毎に最適なデータバス回路部を構成することができる。

【0015】第2の発明である半導体装置の特徴は、上記第1の発明において、前記データバス回路部を、前記スケジューリング時に決定されたステージに対応して、レジスタブロックと、バス部と、同時に実行可能な複数の演算器からなる演算器ブロックとで構成したステージブロックとしたことにある。

【0016】この第2の発明によれば、高位合成のスケジューリング時に決定されたステージに対応して、レジスタブロックとバス部と演算器ブロックを形成するので、最短の実行ステップで実行できるように、同時に実行する演算器を最大限に活用できる。

【0017】第3の発明である半導体装置の特徴は、上記第2の発明において、前記ステージブロックの近傍にL字型バスを設け、該L字型バスにより前記ステージブロックのループ回路を構成したことにある。

【0018】この第3の発明によれば、演算器ブロックによる中間演算結果をレジスタブロックにフィードバックすることができる。

【0019】第4の発明である半導体装置の特徴は、上記第1乃至第3の発明において、回路構成を変更し得るリコンフィギュラブル回路から構成され前記データバス回路部の動作を制御するための制御回路部を備え、前記高位合成の結果である回路データに基づいて生成された制御情報を前記リコンフィギュラブル回路にマッピングし、該制御情報に従って前記制御回路部を回路構成することにある。

【0020】この第4の発明によれば、例えば半導体装置の実行時に、高位合成の結果である回路データに基づいて生成された最適な制御情報を、半導体装置上に形成されたリコンフィギュラブル回路に動的にマッピングすることにより、データバス回路部を制御するために最適な制御回路部を適時構成することができる。

【0021】第5の発明である半導体装置の回路構成方法の特徴は、動作記述から作成されたコントロール・データフローグラフより制御条件毎のデータフローグラフを抽出して、このデータフローグラフを実行ステップに分けるスケジューリングを行い、初期回路を核にして論理回路を合成する高位合成における前記初期回路に対応するデータバス回路部と、前記データバス回路部の動作を制御するための制御回路部とが、回路構成を変更し得るリコンフィギュラブル回路で構成された半導体装置を用意し、前記高位合成の結果である回路データに基づき、前記データバス回路部の結線情報であるデータバス結線情報と前記データバス回路部の動作を制御するための制御情報とを生成し、前記データバス結線情報及び前記制御情報を前記リコンフィギュラブル回路にマッピングし、該マッピング情報に従って前記データバス回路部及び前記制御回路部を回路構成することにある。

【0022】この第5の発明によれば、上記第1及び第4の発明と同等の作用を呈する。

【0023】第6の発明である半導体装置の回路構成方法の特徴は、上記第5の発明において、前記データバス回路部を、前記スケジューリング時に決定されたステージに対応して、レジスタブロックと、バス部と、同時に実行可能な複数の演算器からなる演算器ブロックとで構成したステージブロックとしたことにある。

【0024】この第6の発明によれば、上記第5の発明において、上記第2の発明と同等の作用を呈する。

【0025】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。図1は、本発明の実施形態に係る半導体装置の回路構成方法を示す処理手順図であり、図2は、本実施形態における処理内容の一部を具体的に説明するための図である。また、図3は、本実施形態の半導体装置であるシステムLSIのブロック図である。

【0026】まず、図3において、このシステムLSI 10は、リコンフィギュラブル回路（動的プログラマブルGA）で構成されるリコンフィギュラブルLSIであり、同一LSI中にデータバス回路部20、制御回路部30、及び主バス40のほか、プロセッサやDSP等からなるコア部50及びメモリ部60が同時に集積されている。データバス回路部20は、レジスタブロック21a、21b間にバス21c、演算器ブロック21dが形成されている。

【0027】これら集積された回路は変更不能な固定された回路部分であり、この回路中の接続箇所分散する記憶素子に、後述する高位合成技術を用いて生成されたデータバス割り当て情報とデータバス制御情報を書き込み、前記記憶素子に直結したスイッチ群を動作させて接続を実現し、回路構成を変更するようになっている。なお、前記記憶素子としては、強誘電体を使用したメモリやフローティングゲートMOSなどのメモリ素子を使用してもよい。また、制御回路部30は、例えばPLAあるいはFPGA構成としている。

【0028】次に、本実施形態の回路構成方法を図1及び図2を参照しつつ説明する。

【0029】まず、特定のアプリケーションプログラム毎に最適な性能を実現するハードウェアの動作仕様が、動作記述言語により記述されている（図1のステップS10）。この動作記述言語は、ソフトウェア言語である「C」を使用しており、図2のT10に示すように、制御変数pの条件値によって和（+）または積（*）演算が、

$$S = b + c \text{ または } S = b * c$$

で示されている。

【0030】この動作記述を実現するLSIに関するハードウェア情報は初期回路データ20Aとして記述されている。先述した従来の初期回路データは、仮想的であり追加、削除を行って最終的な回路データを得ているが、本実施形態では、初期回路データ20Aとして、実

際の固定した回路であるデータバス回路部20を指定しているところに特徴の一つがある。

【0031】この動作記述に基づき、初期回路データ20Aを核にして論理回路データを生成する高位合成を行う（ステップS20）。

【0032】具体的には、通常のコンパイラの技術を用いて上記の動作記述言語をコンパイル（構文解析）してパズ木を作り、これを整理して図2のT21に示すようなコントロール・データフローグラフ（CDFG）を生成する（ステップS21）。ここで、図2のT21に示す「if」ノード1は、制御変数「k」または「i」を入力し、その真（T）、偽（F）に従ってそれぞれ枝4、枝5を通じて、部分グラフを選択するものである。

【0033】続いて、作成されたコントロール・データフローグラフを再分析して、制御ノード、制御変数、及び条件式の値を求める（ステップS22）。そして、変数の値を決定し、図2のT23に示すように一意的に定まる閉ループを含む部分グラフであるデータフローグラフ（DFG）を選択する。このように動作条件を解析して、各動作条件毎にデータフローグラフを抽出する（ステップS23）。

【0034】次に、抽出されたデータフローグラフをスケジューリングする（ステップS24）。すなわち、演算器の実行処理時間に従って実行ステップに分割する。これによって、データフローグラフは、同一時間内に処理が終えるコントロール・データフローグラフの断片に細断される。

【0035】そして、各CDFGの断片ごとにその処理に必要なハード部品即ち前述した演算器ブロックを割り付ける（ステップS25）。このときに、本実施形態ではレジスタを挿入する。これは、前述したように、本実施形態の初期回路データ20Aは、実際の固定した回路であるデータバス回路部20に対応しているため、同時に実行できる演算器数に上限があり、実行するステップを変更するために、レジスタの挿入が必要となる。また、本実施例の説明では、上記ハード部品（演算器ブロック）は性能低下を抑えるため最適設計された変更不能のものとして説明しているが、例えば加算器等の場合、ビット幅等をリコンフィギュラブルとする等により、より柔軟性を上げることできる。また、変更不能の演算器ブロックとリコンフィギュラブルなグルーロジックとすることも有効である。

【0036】このようにハード部品の割り付けを行い、初期回路で実行できる結線情報を生成する。この結線情報をデータバス割り当て情報として、さらにDFGに対する動作条件をデータバス制御情報として出力する（ステップS30）。

【0037】上記高位合成を利用して生成されたデータバス割り当て情報データとデータバス制御情報は、図3

で示すLSIに実行時にロードされる(ステップS40)。これらの情報は、動作順序にしたがって切り出されているので順序良く回路をロードすることができ、例えばPLAあるいはFPGAに対応するテーブルルックアップ方式にマッピングされる。

【0038】各ステージブロック21におけるレジスタブロック21a、21b、バス21c、演算器ブロック21d間の結線は動的に変更可能であり、前記データバス割り当て情報でデータバス回路部20が決定される。すなわち、スケジューリング時に決定されたステージに10 対応して、レジスタ、バス、演算器の各ブロック21a～21dは纏められ、ステージブロック21を構成する。

【0039】このステージブロック21の個数は、L字型の主バス40によりループ回路を構成できるので、1つ以上幾つでもよい。

【0040】本実施形態は、次のような利点を有している。

【0041】(1) 動作記述から合成された回路データを、初期回路に対応し且つLSI上に集積されたデータ20 バス回路部20に動的にマッピングすることができるので、動作記述を直接実行するデータバス回路部20の回路構成を動的に変更するLSIを実現することができる。さらに、このLSIは、アプリケーションプログラムに最適な回路データを適時に書き込むために、実行コードを最適にすることが出来る。

【0042】(2) データバス回路中の演算器類は最適な構造でLSI上に集積されているので、従来のAND、ORなどの基本セルからなるランダム回路で構成された機能ブロックより高速な回路を実現できる。

【0043】(3) 高位合成時に最短の実行ステップで実行できるように、同時に実行する演算器を最大限に活用しているので、各ステージを最短にし、かつ最短のステップ数でプログラムを実行するLSIが実現できる。

【0044】(4) 制御回路部30も動作記述の実行部分だけに關するもので良いので、最小化することが可能である。

【0045】このような利点から、本実施形態は、膨大な計算量を扱う分野、例えば、画像処理、探索処理、認識処理、マルチ・プロセッサ・システムによる並列処理等の分野で使用されるシステムLSIに好適である。

【0046】

【発明の効果】以上詳細に説明したように、第1の発明である半導体装置によれば、高位合成の結果である回路データに基づいて生成されたデータバス結線情報をリコンフィギュラブル回路にマッピングし、該データバス結線情報に従ってデータバス回路部を回路構成するので、動作記述を直接実行するデータバス回路部を動的に変更することが可能になる。すなわち、特定のアプリケーションプログラム毎に最適なデータバス回路部を適時構成 50

することができるため、実行コードを最適化することができ、高性能なLSIを実現することが可能になる。

【0047】第2の発明である半導体装置によれば、上記第1の発明において、データバス回路部を、高位合成のスケジューリング時に決定されたステージに対応して、レジスタブロックと、バス部と、演算器ブロックとで構成したステージブロックとしたので、最短の実行ステップで実行できるように同時に実行する演算器を最大限に活用でき、各ステージを最短にし且つ最短のステップ数でプログラムを実行するLSIが実現可能になる。

【0048】第3の発明である半導体装置によれば、上記第2の発明において、ステージブロックの近傍にL字型バスを設け、該L字型バスによりステージブロックのループ回路を構成したので、演算器ブロックによる中間演算結果をレジスタブロックにフィードバックすることができ、ステージブロックの個数を最小にすることが可能になる。

【0049】第4の発明である半導体装置によれば、上記第1乃至第3の発明において、高位合成の結果である回路データに基づいて生成された制御情報をリコンフィギュラブル回路にマッピングし、該制御情報に従って制御回路部を回路構成するので、上記第1乃至第3の発明と同等の効果を達成することができるほか、データバス回路部を制御する制御回路部を動的に変更することが可能になる。すなわち、データバス回路部を制御するために最適な制御回路部を適時構成することができるため、制御回路部は動作記述の実行部分だけに關するものだけでよくなり、回路規模を最小化することが可能になる。

【0050】第5の発明である半導体装置の回路構成方法によれば、高位合成における前記初期回路に対応するデータバス回路部と、データバス回路部の動作を制御するための制御回路部とが、回路構成を変更し得るリコンフィギュラブル回路で構成された半導体装置を用意し、高位合成の結果である回路データに基づき、データバス回路部の結線情報であるデータバス結線情報とデータバス回路部の動作を制御するための制御情報とを生成し、データバス結線情報及び制御情報をリコンフィギュラブル回路にマッピングし、該マッピング情報に従ってデータバス回路部及び制御回路部を回路構成するので、上記第1及び第4の発明と同等の効果を奏することができる。

【0051】第6の発明である半導体装置の回路構成方法によれば、上記第5の発明において、データバス回路部を、スケジューリング時に決定されたステージに対応して、レジスタブロックと、バス部と、同時に実行可能な複数の演算器からなる演算器ブロックとで構成したステージブロックとしたので、上記第5の発明において、上記第2の発明と同等の効果を達成することができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体装置の回路構成

方法を示す処理手順図である。

【図2】実施形態における処理内容の一部を具体的に説明するための図である。

【図3】実施形態の半導体装置であるシステムLSIのブロック図である。

【図4】従来の高位合成技術の一例を示す機能ブロック図である。

【符号の説明】

10 システムLSI

*

* 20 データバス回路部

21 a, 21 b レジスタブロック

21 c バス

21 d 演算器ブロック

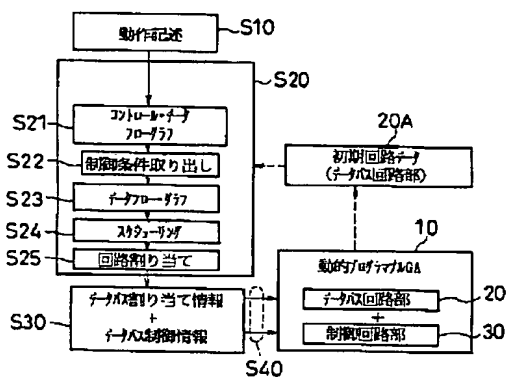
30 制御回路部

40 主バス

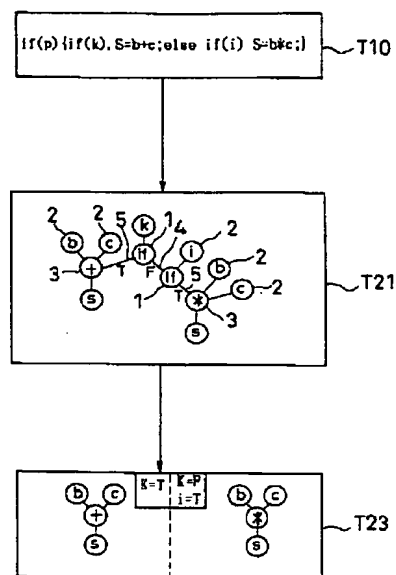
50 コア部

60 メモリ部

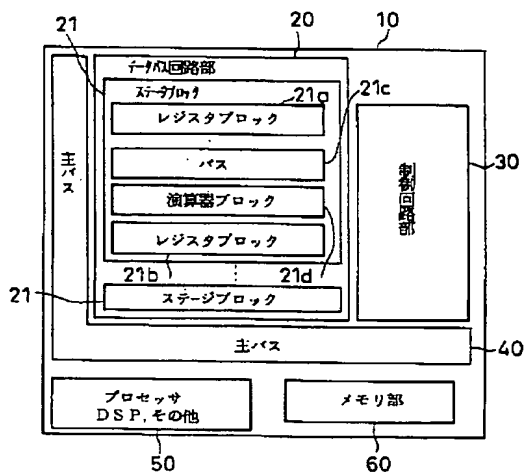
【図1】



【図2】



【図3】



【図4】

